

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216151

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H01L 21/336

H01L 29/784

H01L 21/205

H01L 21/31

H01L 27/092

(21)Application number : 05-021720

(71)Applicant : SONY CORP

(22)Date of filing : 14.01.1993

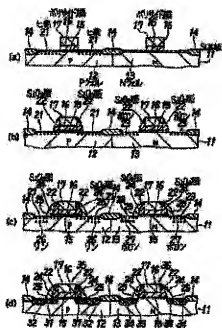
(72)Inventor : ISHIDA MINORU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a minute semiconductor device having the high reliability by reducing the diffusion of impurities, and enhancing the dielectric strength of a sidewall with respect to a conductor film.

CONSTITUTION: The first sidewall comprising an SiO₂ film 22 formed by high-temperature CVD is formed on the side surfaces of a polycide film 16 and an SiO₂ film 17. The second sidewall comprising an SiO₂ film 24 formed by low-temperature CVD is formed on the outer surface of the SiO₂ film 22. Therefore, heat treatment to be applied is less and the diffusion of impurities 21 and 23, which are already introduced, is less in comparison with the case, wherein the entire sidewall is formed of the SiO₂ film 22. The etching of the SiO₂ film 22 having the excellent film quantity can be prevented with the SiO₂ film 24.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-216151

(48)公開日 平成5年(1994)8月5日

(51)Int.Cl.⁵

H 0 1 L 21/336

29/784

21/205

識別記号

庁内整理番号

F I

技術表示箇所

9054-4M

H 0 1 L 29/ 78

3 0 1 L

9170-4M

27/ 08

3 2 1 E

審査請求 未請求 請求項の数4 F D (全 6 頁) 最終頁に続く

(21)出願番号

特願平5-21720

(22)出願日

平成5年(1993)1月14日

(71)出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

石田 実

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人

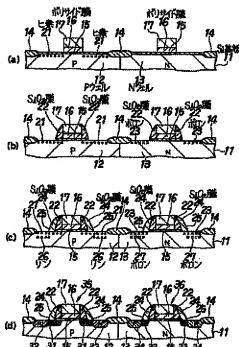
弁理士 土屋 勝

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 不純物の拡散を少なくし且つ導電膜に対する側壁の絶縁耐圧を高めて、微細で且つ信頼性の高い半導体装置を提供する。

【構成】 ポリサイド膜16及びSiO₂膜17の側面に、高温CVDで生成したSiO₂膜22から成る第1の側壁を形成し、このSiO₂膜22の外側面に、低温CVDで生成したSiO₂膜24から成る第2の側壁を形成する。このため、SiO₂膜22で側壁の全体を形成する場合に比べて、加えるべき熱処理が少なく、既に導入してある不純物21、23の拡散が少ない。また、SiO₂膜24によって、膜質の良いSiO₂膜22がエッチングされるのを防止することができる。



【特許請求の範囲】

【請求項1】 相対的に高い温度で生成した第1の絶縁膜から成る第1の側壁を導電膜の側面に形成する工程と、

相対的に低い温度で生成した第2の絶縁膜から成る第2の側壁を前記第1の側壁の前記導電膜とは反対側の側面に形成する工程とを具備する半導体装置の製造方法。

【請求項2】 相対的に高い温度で生成された第1の絶縁膜から成っており導電膜の側面に形成されている第1の側壁と、

相対的に低い温度で生成された第2の絶縁膜から成っており前記第1の側壁の前記導電膜とは反対側の側面に形成されている第2の側壁とを具備する半導体装置。

【請求項3】 半導体基板の第1及び第2導電型領域にゲート電極を形成する工程と、

前記第1導電型領域の前記ゲート電極をマスクにして、この第1導電型領域に第2導電型不純物を相対的に低濃度

に導入する工程と、
前記第2導電型不純物を導入した後に、前記第1及び第2導電型領域の前記ゲート電極の側面に、相対的に高い温度で生成した第1の絶縁膜から成る第1の側壁を形成する工程と、

前記第2導電型領域の前記ゲート電極及び前記第1の側壁をマスクにして、この第2導電型領域に第1導電型不純物を相対的に低濃度

に導入する工程と、
前記第1導電型不純物を導入した後に、前記第1及び第2導電型領域の前記第1の側壁の前記ゲート電極とは反対側の側面に、相対的に低い温度で生成した第2の絶縁膜から成る第2の側壁を形成する工程と、

前記第1導電型領域の前記ゲート電極並びに前記第1及び第2の側壁をマスクにして、この第1導電型領域に第2導電型不純物を相対的に高濃度

に導入する工程と、
前記第2導電型領域の前記ゲート電極並びに前記第1及び第2の側壁をマスクにして、この第2導電型領域に第1導電型不純物を相対的に高濃度

に導入する工程とを具備する半導体装置の製造方法。

【請求項4】 半導体基板の第1及び第2導電型領域にゲート電極を形成する工程と、

前記第1導電型領域の前記ゲート電極をマスクにして、この第1導電型領域に第2導電型不純物を相対的に低濃度

に導入する工程と、
前記第2導電型不純物を導入した後に、前記第1及び第2導電型領域の前記ゲート電極の側面に、相対的に高い温度で生成した第1の絶縁膜から成る第1の側壁を形成する工程と、

前記第1導電型領域の前記ゲート電極及び前記第1の側壁をマスクにして、この第1導電型領域に第2導電型不純物を相対的に高濃度

に導入する工程と、
前記第2導電型領域の前記ゲート電極及び前記第1の側壁をマスクにして、この第2導電型領域に第1導電型不

純物を相対的に低濃度

に導入する工程と、
前記第2導電型不純物を相対的に高濃度

に導入し且つ前記第1導電型不純物を導入した後に、前記第1及び第2導電型領域の前記第1の側壁の前記ゲート電極とは反対側の側面に、相対的に低い温度で生成した第2の絶縁膜から成る第2の側壁を形成する工程と、

前記第2導電型領域の前記ゲート電極並びに前記第1及び第2の側壁をマスクにして、この第2導電型領域に第1導電型不純物を相対的に高濃度

に導入する工程とを具備する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本願の発明は、ゲート電極等の導電膜の側面に側壁が形成されている半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 電界効果型半導体装置のドレインにおける電界集中を緩和してドレイン耐圧を高めるためのLDD構造や、コンタクト孔の開孔に際して余裕領域の確保を不要にするための自己整合コンタクト構造では、絶縁膜から成る側壁をゲート電極等の導電膜の側面に形成している。そして、従来は、この側壁を単一の絶縁膜で形成していた。

【0003】

【発明が解決しようとする課題】 ところで、導電膜の側面に形成されている側壁は、この導電膜と上層の導電膜との層間耐圧の少なくとも一部を担う。従って、絶縁層の点からは、減圧下で800℃程度以上の高温のCVDで形成され、ピンホールの密度が低くて膜質の良い絶縁膜が好ましい。しかし、高温のCVDでは、単位時間に加えられる熱量が多いのみならず、堆積速度も遅い。例えば、820℃でSiO₂膜を形成しても、2nm/分の速度でしか堆積しない。

【0004】 このため、820℃のCVDでは、加えられる熱量の点から50分間で100nm程度の膜厚のSiO₂膜しか堆積させることができない。このため、特に自己整合コンタクト構造では、コンタクト孔の開孔に際して、形成されている側壁が更にエッチングされるので、側壁の絶縁耐圧が十分ではない場合がある。しかし、これ以上の膜厚のSiO₂膜を形成すると、加えられる熱量が多くなり過ぎて、既に導入した不純物の拡散が多くなり過ぎる。

【0005】 この結果、特に、P型の不純物層を形成するためのボロンは拡散係数が大きいため、Pチャネルトランジスタではパンチスルーが生じ易い。従って、高温のCVDのみで側壁の絶縁膜を形成する従来例では、微細でしかも側壁の絶縁耐圧が高いために信頼性も高い半導体装置を提供することができなかった。

【0006】 一方、減圧下で800℃程度以下、常圧下では400℃程度以下の低温のCVDでSiO₂膜を形

成すると、このSiO₂膜はピンホールの密度が高くても膜質が良くないので、絶縁耐性を確保するためには、400nm程度の膜厚に堆積させる必要がある。

【0007】しかし、LDD構造では側壁下に低濃度不純物層が形成される。そして、特に、N型の不純物層を形成するためのヒ素は拡散係数が小さいので、側壁の幅が400nm程度であると、低濃度不純物層の幅も400nm近くになって、Nチャネルトランジスタでは電流駆動能力が大幅に低下する。従って、低温のCVDのみで側壁用の絶縁膜を形成する従来例では、電流駆動能力が高い半導体装置を提供することができなかった。

【0008】

【課題を解決するための手段】請求項1の半導体装置の製造方法は、相対的に高い温度で生成した第1の絶縁膜2から成る第1の側壁を導電膜16の側面に形成する工程と、相対的に低い温度で生成した第2の絶縁膜24から成る第2の側壁を前記第1の側壁の前記導電膜16とは反対側の側面に形成する工程とを具備している。

【0009】請求項2の半導体装置は、相対的に高い温度で生成された第1の絶縁膜2から成っており導電膜16の側面に形成されている第1の側壁と、相対的に低い温度で生成された第2の絶縁膜24から成っており前記第1の側壁の前記導電膜16とは反対側の側面に形成されている第2の側壁とを具備している。

【0010】請求項3の半導体装置の製造方法は、半導体基板11の第1及び第2導電型領域12、13にゲート電極16を形成する工程と、前記第1導電型領域12の前記ゲート電極16をマスクにして、この第1導電型領域12に第2導電型不純物21を相対的に低濃度で導入する工程と、前記第2導電型不純物21を導入した後、前記第1及び第2導電型領域12、13の前記ゲート電極16の側面に、相対的に高い温度で生成した第1の絶縁膜2から成る第1の側壁を形成する工程と、前記第2導電型領域13の前記ゲート電極16及び前記第1の側壁をマスクにして、この第2導電型領域13に第1導電型不純物23を相対的に低濃度で導入する工程と、前記第1導電型不純物23を導入した後、前記第1及び第2導電型領域12、13の前記第1の側壁の前記ゲート電極16とは反対側の側面に、相対的に低い温度で生成した第2の絶縁膜24から成る第2の側壁を形成する工程と、前記第1導電型領域12の前記ゲート電極16並びに前記第1及び第2の側壁をマスクにして、この第1導電型領域12に第2導電型不純物26を相対的に高濃度で導入する工程と、前記第2導電型領域13の前記ゲート電極16並びに前記第1及び第2の側壁をマスクにして、この第2導電型領域13に第1導電型不純物27を相対的に高濃度で導入する工程とを具備している。

【0011】請求項4の半導体装置の製造方法は、半導体基板11の第1及び第2導電型領域12、13にゲ

ト電極16を形成する工程と、前記第1導電型領域12の前記ゲート電極16をマスクにして、この第1導電型領域12に第2導電型不純物21を相対的に低濃度で導入する工程と、前記第2導電型不純物21を導入した後、前記第1及び第2導電型領域12、13の前記ゲート電極16の側面に、相対的に高い温度で生成した第1の絶縁膜2から成る第1の側壁を形成する工程と、前記第1導電型領域12の前記ゲート電極16及び前記第1の側壁をマスクにして、この第1導電型領域12に第2導電型不純物26を相対的に高濃度で導入する工程と、前記第2導電型領域13の前記ゲート電極16及び前記第1の側壁をマスクにして、この第2導電型領域13に第1導電型不純物23を相対的に低濃度で導入する工程と、前記第2導電型不純物23を導入した後、前記第1及び第2導電型領域12、13の前記第1の側壁の前記ゲート電極16とは反対側の側面に、相対的に低い温度で生成した第2の絶縁膜24から成る第2の側壁を形成する工程と、前記第2導電型領域13の前記ゲート電極16並びに前記第1及び第2の側壁をマスクにして、この第2導電型領域13に第1導電型不純物27を相対的に高濃度で導入する工程とを具備している。

【0012】

【作用】請求項1の半導体装置の製造方法では、相対的に高い温度で生成した第1の絶縁膜2から成る第1の側壁と相対的に低い温度で生成した第2の絶縁膜24から成る第2の側壁とを形成しているため、高い温度で生成した絶縁膜で側壁の全体を形成する方法に比べて、加えるべき熱処理が少なく、既に導入してある不純物21、23、26の拡散が少なくなる。

【0013】また、相対的に高い温度で生成した第1の絶縁膜2から成る第1の側壁を相対的に低い温度で生成した第2の絶縁膜24から成る第2の側壁で覆っているので、後に側壁がエッチングを受けても、第2の側壁によって、膜質の良い第1の側壁がエッチングされない様になることができる。従って、低い温度で生成した絶縁膜で側壁の全体を形成したり、相対的に低い温度で生成した絶縁膜から成る側壁を相対的に高い温度で生成した絶縁膜から成る側壁で覆ったりする方法に比べて、導電膜16に対する絶縁耐圧が高い側壁を形成することができる。

【0014】請求項2の半導体装置では、相対的に高い温度で生成された第1の絶縁膜2から成る第1の側壁と相対的に低い温度で生成された第2の絶縁膜24から成る第2の側壁とが形成されているので、高い温度で生成された絶縁膜で側壁の全体が形成されている構造に比べて、加えられた熱処理が少なく、不純物21、23、26の拡散が少なくなる。

【0015】また、相対的に高い温度で生成された第1の絶縁膜2から成る第1の側壁が相対的に低い温度で

生成された第2の絶縁膜24から成る第2の側壁で覆われているので、後に側壁がエッチングを受けていても、第2の側壁によって、膜質の良い第1の側壁がエッチングされていない様にすることができる。従って、低い温度で生成された絶縁膜で側壁の全体が形成されていたり、相対的に低い温度で生成された絶縁膜から成る側壁が相対的に高い温度で生成された絶縁膜から成る側壁で覆われていたりする構造に比べて、導電膜16に対する側壁の絶縁耐圧が高い。

【0016】請求項3の半導体装置の製造方法では、第1導電型領域12に対する第2導電型不純物21の相対的に低濃度の導入はゲート電極16をマスクにしているが、第2導電型領域13に対する第1導電型不純物23の相対的に低濃度の導入はゲート電極16のみならず第1の側壁をもマスクにしている。このため、第1導電型不純物23の拡散係数が第2導電型不純物21の拡散係数より大きくても、第1導電型不純物層33同士がゲート電極16の両側から接近し過ぎるのを防止することができる。

【0017】また、相対的に高い温度で生成した第1の絶縁膜22から成る第1の側壁を相対的に低い温度で生成した第2の絶縁膜24から成る第2の側壁で覆っているため、後に側壁がエッチングを受けても、第2の側壁によって、膜質の良い第1の側壁がエッチングされない様にするすることができる。従って、低い温度で生成した絶縁膜で側壁の全体を形成したり、相対的に低い温度で生成した絶縁膜から成る側壁を相対的に高い温度で生成した絶縁膜から成る側壁で覆う方法に比べて、ゲート電極16に対する絶縁耐圧が高い側壁を形成することができる。

【0018】請求項4の半導体装置の製造方法では、第1導電型領域12に対する第2導電型不純物21の相対的に低濃度の導入はゲート電極16をマスクにしているが、第2導電型領域13に対する第1導電型不純物23の相対的に低濃度の導入はゲート電極16のみならず第1の側壁をもマスクにしている。このため、第1導電型不純物23の拡散係数が第2導電型不純物21の拡散係数より大きくても、第1導電型不純物層33同士がゲート電極16の両側から接近し過ぎるのを防止することができる。

【0019】また、第2導電型領域13に対する第1導電型不純物27の相対的に高濃度の導入はゲート電極16並びに第1及び第2の側壁をマスクにしているが、第1導電型領域12に対する第2導電型不純物26の相対的に高濃度の導入はゲート電極16及び第1の側壁のみをマスクにしているため、第2の側壁をもマスクにして導入する方法に比べて、相対的に低濃度の第2導電型不純物層31の幅が狭い。

【0020】更に、相対的に高い温度で生成した第1の絶縁膜22から成る第1の側壁を相対的に低い温度で生

成した第2の絶縁膜24から成る第2の側壁で覆っているため、後に側壁がエッチングを受けても、第2の側壁によって、膜質の良い第1の側壁がエッチングされない様にすることができる。従って、低い温度で生成した絶縁膜で側壁の全体を形成したり、相対的に低い温度で生成した絶縁膜から成る側壁を相対的に高い温度で生成した絶縁膜から成る側壁で覆う方法に比べて、ゲート電極16に対する絶縁耐圧が高い側壁を形成することができる。

【0021】

【実施例】以下、LDD構造で且つ自己整合コンタクト構造のCMOSトランジスタに適用した本願の発明の第1及び第2実施例を、図1、2を参照しながら説明する。図1が、第1実施例の製造方法を工程順に示している。この第1実施例では、図1(a)に示す様に、S1基板11にPウェル12とNウェル13とをまず形成する。そして、S1基板11の素子分離領域の表面にS1O膜14を形成し、素子活性領域の表面にゲート酸化膜としてのS1O膜15を形成する。

【0022】その後、CVD法でS1O膜14、15上に多結晶S1膜を堆積させ、POC1の蒸気に曝してこの蒸気からリンを熱拡散させるブレドポジション法等で、多結晶S1膜に不純物を添加する。そして、CVD法で多結晶S1膜上にWS1膜を堆積させ、これらの多結晶S1膜とWS1膜とでポリサイド膜16を形成する。

【0023】その後、CVD法でオフセット用のS1O膜17をポリサイド膜16上に堆積させ、このS1O膜17上でレジスト(図示せず)をゲート電極のパターンに加工する。そして、このレジストをマスクにしたRIEで、S1O膜17とポリサイド膜16とをゲート電極のパターンに連続的に加工する。ここまでは従来公知の製造方法と同じであるが、本実施例では、その後、Pウェル12のS1O膜14、17とポリサイド膜16とをマスクにして、Pウェル12の素子活性領域のみにと素子21を低濃度でイオン注入する。

【0024】次に、既述の高温CVDでS1O膜22を全面に堆積させ、このS1O膜22の全面をエッチバックして、図1(b)に示す様に、ポリサイド膜16及びS1O膜17の側面にS1O膜22から成る側壁を形成する。そして、Nウェル13のS1O膜14、17、22とポリサイド膜16とをマスクにして、Nウェル13の素子活性領域のみにボロン23を低濃度でイオン注入する。

【0025】次に、既述の低温CVDでS1O膜24を全面に堆積させ、このS1O膜24の全面をエッチバックして、図1(c)に示す様に、S1O膜22の外側面にS1O膜24から成る側壁を形成する。これによって、S1O膜14、24に囲まれているコンタクト孔25が、ポリサイド膜16に対して自己整合的に

開孔される。

【0026】その後、Pウェル12のSiO₂膜14、17、22、24とポリサイド膜16とをマスクにして、Pウェル12の素子活性領域にリン26を高濃度にイオン注入し、Nウェル13のSiO₂膜14、17、22、24とポリサイド膜16とをマスクにして、Nウェル13の素子活性領域にボロン27を高濃度にイオン注入する。

【0027】次に、配線（図示せず）を形成した後、アニールを行って、図1(d)に示す様に、Pウェル12では、ヒ素21を含むN⁻型の不純物層31をSiO₂膜22、24下に形成し、主にリン26を含むN⁻型の不純物層32をSiO₂膜22、24の外側に形成する。また、Nウェル13では、ボロン23を含むP⁻型の不純物層33をSiO₂膜24下に形成し、主にボロン27を含むP⁻型の不純物層34をSiO₂膜22、24の外側に形成する。

【0028】この結果、Pウェル12にはNチャネルトランジスタ35が形成され、Nウェル13にはPチャネルトランジスタ36が形成される。その後、再び従来公知の工程を実行して、この第1実施例を完成させる。この第1実施例でも、P⁻型の不純物層33もある程度は横方向へも拡散しているが、少なくともポリサイド膜16からはオフセットしている。このため、Pチャネルトランジスタ36ではパンチスルーが生じにくく、また不純物層33がポリサイド膜16からオフセットしているもPチャネルトランジスタ36では電流駆動能力には影響がない。

【0029】図2が、第2実施例の製造方法を工程順に示している。この第2実施例でも、図2(a)に示す様に、ポリサイド膜16及びSiO₂膜17の側面にSiO₂膜22から成る側壁を形成するまでは、上述の第1実施例と実質的に同様の工程を実行する。

【0030】しかし、この第2実施例では、この状態から、Nウェル13のSiO₂膜14、17、22とポリサイド膜16とをマスクにして、Nウェル13の素子活性領域にボロン23を高濃度にイオン注入するだけでなく、Pウェル12のSiO₂膜14、17、22とポリサイド膜16とをマスクにして、Pウェル12の素子活性領域にリン26を高濃度にイオン注入する。

【0031】従って、図2(c)に示す様に、低温CVDによるSiO₂膜24でSiO₂膜22の外側面に側壁を形成した状態で、Pウェル13のSiO₂膜14、17、22、24とポリサイド膜16とをマスクにして、Nウェル13の素子活性領域に対して行うボロン27の高濃度のイオン注入のみである。その後、再び上述の第1実施例と実質的に同様の工程を実行して、図2(d)に示す様に、この第2実施例を完成させる。

【0032】図1(d)と図2(d)との比較からも明

らかな様に、Nチャネルトランジスタ35の不純物層32が、上述の第1実施例ではSiO₂膜22、24の外側に形成されているが、この第2実施例ではSiO₂膜22の外側に形成されている。従って、第2実施例のNチャネルトランジスタ35の方が、不純物層31の幅が狭く、電流駆動能力が高い。

【0033】なお、以上の第1及び第2実施例の何れもが本願の発明をLDD構造で且つ自己整合コンタクト構造のCMOSTランジスタに適用したものであるが、自己整合コンタクト構造ではないトランジスタに適用するのであれば、ポリサイド膜16上のオフセット用のSiO₂膜17は不要である。

【0034】

【発明の効果】請求項1の半導体装置の製造方法では、不純物の拡散が少ないので、微細な半導体装置を製造することができる。また、導電膜に対する絶縁耐力が高い側壁を形成することができるので、信頼性の高い半導体装置を製造することができる。

【0035】請求項2の半導体装置では、不純物の拡散が少ないので、微細化が可能である。また、導電膜に対する側壁の絶縁耐力が高いので、信頼性が高い。

【0036】請求項3の半導体装置の製造方法では、第1導電型不純物の拡散係数が第2導電型不純物の拡散係数より大きくても、第1導電型不純物層同士がゲート電極の両側から接近し過ぎるのを防止することができるので、第1導電型チャネルトランジスタでパンチスルーが生じにくい相補型半導体装置を製造することができる。また、ゲート電極に対する絶縁耐力が高い側壁を形成することができるので、信頼性の高い半導体装置を製造することができる。

【0037】請求項4の半導体装置の製造方法では、第1導電型不純物の拡散係数が第2導電型不純物の拡散係数より大きくても、第1導電型不純物層同士がゲート電極の両側から接近し過ぎるのを防止することができるので、第1導電型チャネルトランジスタでパンチスルーが生じにくい相補型半導体装置を製造することができる。また、相対的に低濃度の第2導電型不純物層の幅が狭いので、第2導電型チャネルトランジスタの電流駆動能力が高い相補型半導体装置を製造することができる。更に、ゲート電極に対する絶縁耐力が高い側壁を形成することができるので、信頼性の高い半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本願の発明の第1実施例を工程順に示す側断面図である。

【図2】本願の発明の第2実施例を工程順に示す側断面図である。

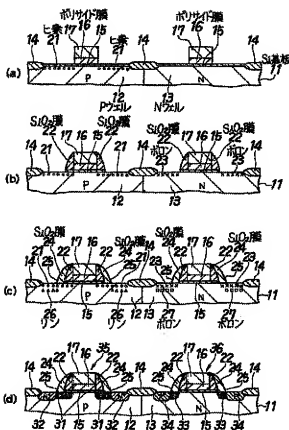
【符号の説明】

11 Si基板
12 Pウェル

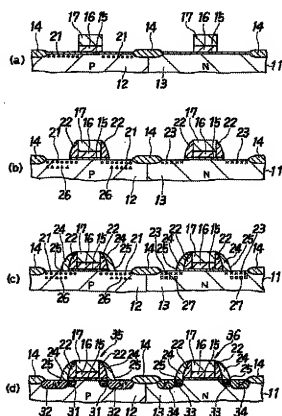
13 Nウェル
16 ポリサイド膜
21 ヒ素
22 SiO₂ 膜

* 23 ボロン
24 SiO₂ 膜
26 リン
* 27 ボロン

【図1】



【図2】



フロントページの続き

(51)Int.Cl.²

H01L 21/31
27/092

識別記号 序内整理番号
C

F I

技術表示箇所